

明細書

半導体装置及びその製造方法

5 技術分野

本発明は、半導体装置及びその製造方法に係わり、特に、複数の半導体チップを備えたスタックドパッケージに関する。

背景技術

10 近年、システムLSIなどの半導体装置の小型化を促進するために、半導体チップを積層するスタックドパッケージが開発されている。このスタックドパッケージは、図3に示す構成を有する。

15 図3において、インターポーラー基板31上には、複数の電極パッドが形成されている。この電極パッド上には、第1半導体チップ32がフリップチップ実装されている。すなわち、第1チップ32の表面には、前記電極パッドに対応する位置にバンプ34が設けられており、バンプ34と電極パッドとが電気的に接続されるようにして、インターポーラー基板31上に第1チップ32がフリップチップ実装されている。

20 第1チップ32の裏面上には、第1チップ32よりも寸法が小さい第2半導体チップ33が接着剤(図示せず)を介して搭載されている。第2チップ33は、ワイヤ35によりインターポーラー基板31に対してワイヤボンディングされている。これらの第1チップ32及び第2チップ33は、封止樹脂36によりモールドされている。

25 インターポーラー基板31のチップ実装側と反対側には、プリント配線板に実装する際に使用する接続部材である半田ボール37が設けられている。この半田ボール37により、スタックドパッケージとプリント配線板とが電気的に接続される。

図3の構成においては、第1チップ32の大きさよりも第2チップ33の大きさが小さい。しかしながら、システムLSIの構成によっては、第1チップ

3 2 の大きさよりも第 2 チップ 3 3 の大きさが大きいものもある。

この場合、第 2 チップとインターポーラー基板とをワイヤボンディングするときに、第 2 チップの加熱が難しくなり、また第 1 チップの角部が当接する第 2 チップの部分に超音波負荷が集中してその部分に過度なストレスが発生す
5 る。その結果、第 2 チップが破損してしまうおそれがある。

本発明はかかる点に鑑みてなされたものであり、半導体チップを積層してなるスタックドパッケージにおいて、上側の半導体チップの大きさが大きい場合であっても、半導体チップを破損させることなくワイヤボンディングを行うことができる半導体装置及びその製造方法を提供することを目的とする。

10

発明の開示

本発明は、基板上に搭載された第 1 半導体チップと、

前記第 1 半導体チップ上に積層され、前記第 1 半導体チップよりも大きい第 2 半導体チップと、

15 前記第 2 半導体チップと前記基板との間に配置された台部材と、

前記基板下に配置された接続部材と、

を具備し、

前記台部材により前記第 2 半導体チップを支持することを特徴とする半導体装置を提供する。

20 この構成によれば、台部材で第 2 半導体チップを支持するので、第 2 半導体チップと基板をワイヤボンディングする場合に、台部材を介して第 2 半導体チップに十分に熱を伝達させることができ、第 2 半導体チップへの加熱を効率良く行うことができる。また、第 1 半導体チップから外側に延出した第 2 半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第 2 半導体チップの破損を防止することができる。

本発明は、基板上に搭載された第 1 半導体チップと、

前記第 1 半導体チップ上に積層され、前記第 1 半導体チップよりも大きい第 2 半導体チップと、

前記第 2 半導体チップと前記基板との間に設けられた充填層と、

前記基板下に配置された接続部材と、
を具備し、

前記充填層により前記第2半導体チップを支持することを特徴とする半導
体装置を提供する。

5 この構成によれば、充填層で第2半導体チップを支持するので、第2半導体
チップと基板をワイヤボンディングする場合に、充填層を介して第2半導体チ
ップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良
く行うことができる。また、第1半導体チップから外側に延出した第2半導体
チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することが
10 できる。その結果、第2半導体チップの破損を防止することができる。

本発明は、基板上に第1半導体チップを搭載する工程と、

前記基板上の前記第1半導体チップの外側に台部材を配置する工程と、

前記台部材により支持されるように、前記第1半導体チップ上に前記第1半
導体チップよりも大きい第2半導体チップを搭載する工程と、

15 を具備することを特徴とする半導体装置の製造方法を提供する。

この方法によれば、台部材で第2半導体チップを支持するので、第2半導体
チップと基板をワイヤボンディングする場合に、台部材を介して第2半導体チ
ップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良
く行うことができる。また、第1半導体チップから外側に延出した第2半導体
チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することが
20 できる。その結果、第2半導体チップの破損を防止することができる。

本発明は、基板上に第1半導体チップを搭載する工程と、

前記第1半導体チップ上に前記第1半導体チップよりも大きい第2半導体
チップを搭載する工程と、

25 前記前記第2半導体チップを支持するように充填層を設ける工程と、
を具備することを特徴とする半導体装置の製造方法を提供する。

この方法によれば、充填層で第2半導体チップを支持するので、第2半導体
チップと基板をワイヤボンディングする場合に、充填層を介して第2半導体チ
ップに十分に熱を伝達させることができ、第2半導体チップへの加熱を効率良

く行うことができる。また、第1半導体チップから外側に延出した第2半導体チップ部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2半導体チップの破損を防止することができる。

5 図面の簡単な説明

図1は、本発明の第1の実施の形態に係る半導体装置の構成を示す断面図である。図2は、本発明の第2の実施の形態に係る半導体装置の構成を示す断面図である。図3は、従来の半導体装置の構成を示す断面図である。

10 発明を実施するための最良の形態

以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。

図1は、本発明の第1の実施の形態に係る半導体装置の構成を示す断面図である。

図1において、インターポーラー基板11上には、複数の電極パッドが形成されている。この電極パッド上には、第1半導体チップ12がフリップチップ実装されている。すなわち、第1チップ12の表面には、前記電極パッドに対応する位置にバンプ14が設けられており、バンプ14と電極パッドとが電気的に接続されるようにして、インターポーラー基板11上に第1チップ12がフリップチップ実装されている。

第1チップ12の裏面上には、第1チップ12よりも寸法が大きい第2チップ13が接着剤（図示せず）を介して搭載されている。第2チップ13は、ワイヤ15によりインターポーラー基板14に対してワイヤボンディングされている。

第1チップ12の外側には台部材17が配置されており、この台部材17はインターポーラー基板11上に熱硬化性接着剤（図示せず）を介して搭載されている。すなわち、この台部材17は、第1チップ12より延出した第2チップ13の部分を支持する位置に配置されている。

台部材17は、第1及び第2チップ12, 13と熱膨張率の差が小さい材料で構成されていることが望ましい。例えば、この台部材17の材料としては、

42 アロイなどの金属を挙げることができる。

この台部材17の形状は、第1チップ12を囲むような枠形状であっても良く、第2チップ13を支持できる位置に設けた柱状体でも良い。台部材17の配置位置は、確実に第2チップ13を支持できるように、第1チップ12の大きさとほぼ同じかそれより広い領域であることが望ましい。

これらの第1チップ12、第2チップ13及び台部材17は、封止樹脂16によりモールドされている。インターポーザー基板11のチップ実装側と反対側には、プリント配線板に実装する際に使用する接続部材である半田ボール18が設けられている。この半田ボール18により、スタックドパッケージとプリント配線板とが電気的に接続される。

次に、上記構成の半導体装置の製造方法について説明する。

まず、インターポーザー基板11上に第1チップ12を搭載する。この場合、第1チップ12の表面に設けたバンプ14をインターポーザー基板11の電極パッドに当接することによりインターポーザー基板11上に第1チップ12を搭載する。

次いで、第1チップ12の外側に台部材17を配置する。この台部材17は、インターポーザー基板11に熱硬化性樹脂などの接着剤を用いて固定する。次いで、第1チップ12上に第1チップ12よりも大きい第2チップ13を搭載する。この場合、第1チップ12上に接着剤などにより第2チップ13を固定する。

このとき、第2チップ13の第1チップ12から外側に延出した部分は、台部材17で支持される。

次いで、第2チップ13とインターポーザー基板11とをワイヤボンディングする。その後、第1チップ12及び第2チップ13を搭載したインターポーザー基板11を封止樹脂16を用いてモールドする。その後、インターポーザー基板11のチップ実装側と反対側に、プリント配線板に実装する際に使用する半田ボール18を設ける。

このように、台部材17で第2チップ13を支持すると、第2チップ13とインターポーザー基板11をワイヤボンディングする場合に、台部材17を介

して第2チップ13に十分に熱を伝達させることができ、第2チップ13への加熱を効率良く行うことができる。また、第1チップ12から外側に延出した第2チップ13部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2チップ13の破損を防止することができる。

5 図2は、本発明の第2の実施の形態に係る半導体装置の構成を示す断面図である。

図2において、インターポーザー基板21上には、複数の電極パッドが形成されている。この電極パッド上には、第1半導体チップ22がフリップチップ実装されている。すなわち、第1チップ22の表面には、前記電極パッドに対応する位置にバンプ24が設けられており、バンプ24と電極パッドとが電気的に接続されるようにして、インターポーザー基板21上に第1チップ22がフリップチップ実装されている。

10 第1チップ22の裏面上には、第1チップ22よりも寸法が大きい第2半導体チップ23が搭載されている。第2チップ23は、ワイヤ25によりインターポーザー基板21に対してワイヤボンディングされている。

15 第1チップ22と第2チップ13との間には、アンダーコート層として熱硬化性樹脂などで構成された充填層27が設けられている。すなわち、この充填層27は、第1チップ22より延出した第2チップ23の部分を支持する位置に配置されている。充填層27の配置位置は、確実に第2チップ23を支持できるように、第1チップ22の大きさとほぼ同じかそれより広い領域であることが望ましい。なお、充填層27を構成する材料としては、例えば、ダイボンディング材などの非導電性の材料であることが望ましい。

20 これらの第1チップ22及び第2チップ23は、封止樹脂26によりモールドされている。インターポーザー基板21のチップ実装側と反対側には、プリント配線板に実装する際に使用する接続部材である半田ボール28が設けられている。この半田ボール28により、スタックドパッケージとプリント配線板とが電気的に接続される。

次に、上記構成の半導体装置の製造方法について説明する。

まず、インターポーザー基板21上に第1チップ22を搭載する。この場合、

第1チップ22の表面に設けたバンプ24をインターポーラー基板21の電極パッドに当接することによりインターポーラー基板21上に第1チップ22を搭載する。

次いで、第1チップ22上に第1チップ22よりも大きい第2チップ23を5搭載する。この場合、第1チップ22上に接着剤などにより第2チップ23を固定する。また、第2チップ23とインターポーラー基板21との間、すなわち第1チップ22の外側及び第1チップ22と第2チップ23との間に充填層27を設ける。

この充填層27は、まず、比較的粘度の低い樹脂を用いて、第1チップ22とインターポーラー基板21との間を充填する。粘度を低くすることにより、バンプ24があっても十分に樹脂が浸透する。次いで、比較的粘度を高く調整した樹脂を用いて、第1チップ22の側面外周と第2チップ23の下面に樹脂を充填する。このとき、第2チップ23の第1チップ22から外側に延出した部分は、充填層27で支持される。なお、粘度調整を行わずに一度に充填層を設けるようにしても良い。

次いで、第2チップ23とインターポーラー基板21とをワイヤボンディングする。その後、第1チップ22及び第2チップ23を搭載したインターポーラー基板21を封止樹脂26を用いてモールドする。その後、インターポーラー基板21のチップ実装側と反対側に、プリント配線板に実装する際に使用する半田ボール28を設ける。

このように、充填層27で第2チップ23を支持すると、第2チップ23とインターポーラー基板21をワイヤボンディングする場合に、充填層27を介して第2チップ23に十分に熱を伝達させることができ、第2チップ23への加熱を効率良く行うことができる。また、第1チップ22から外側に延出した25第2チップ23部分へ加わるボンディング加重や超音波エネルギーを緩和することができる。その結果、第2チップ23の破損を防止することができる。

上記第1及び第2の実施の形態において、半導体素子である第1チップ12, 22、第2チップ13, 23としては、SRAMなどを挙げることができる。

本発明は上記実施の形態に限定されず種々変更して実施することが可能で

ある。例えば、各部材の材質、大きさなどについては上記実施の形態に限定されず種々変更することができる。

請求の範囲

1. 基板上に搭載された第1半導体チップと、
前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第
2半導体チップと、
前記第2半導体チップと前記基板との間に配置された台部材と、
前記基板下に配置された接続部材と、
を具備し、
前記台部材により前記第2半導体チップを支持することを特徴とする半導
體装置。
10
2. 基板上に搭載された第1半導体チップと、
前記第1半導体チップ上に積層され、前記第1半導体チップよりも大きい第
2半導体チップと、
前記第2半導体チップと前記基板との間に設けられた充填層と、
前記基板下に配置された接続部材と、
を具備し、
前記充填層により前記第2半導体チップを支持することを特徴とする半導
體装置。
15
3. 基板上に第1半導体チップを搭載する工程と、
前記基板上の前記第1半導体チップの外側に台部材を配置する工程と、
前記台部材により支持されるように、前記第1半導体チップ上に前記第1半
導体チップよりも大きい第2半導体チップを搭載する工程と、
を具備することを特徴とする半導体装置の製造方法。
20
4. 基板上に第1半導体チップを搭載する工程と、
前記第1半導体チップ上に前記第1半導体チップよりも大きい第2半導体
チップを搭載する工程と、
前記前記第2半導体チップを支持するように充填層を設ける工程と、
を具備することを特徴とする半導体装置の製造方法。
25

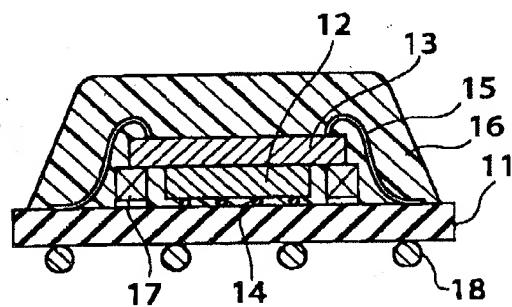
要 約 書

半導体チップを積層してなるスタックドパッケージにおいて、上側の半導体チップの大きさが大きい場合であっても、半導体チップを破損させることなく半導体チップの実装を行うために、インターポーザー基板11上には、第1チップ12が実装されている。第1チップ12の裏面上には、第1チップ12よりも寸法が大きい第2チップ13が搭載されている。第2チップ13は、ワイヤ15によりインターポーザー基板11に対してワイヤボンディングされている。第1チップ12の外側には、台部材17が配置されている。これらの第1チップ12、第2チップ13及び台部材17は、封止樹脂16によりモールドされている。インターポーザー基板11のチップ実装側と反対側には半田ボール18が設けられている。

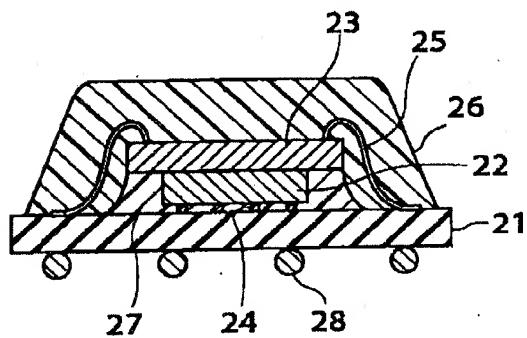
1/2

【書類名】 図面

【図1】



【図2】



Title: [Unknown]
Inventor: Yoshiaki EMOTO
Atty. Ref. No.: 9319S-000208

2/2

【図3】

